

## リングオシレータ回路の特性解析を用いた三次元縦型BC-MOSFETのAC特性に関する研究

著者	小笠原 健太
雑誌名	東北大学電通談話会記録
巻	89
号	1
ページ	64-65
発行年	2020-08-31
URL	<a href="http://hdl.handle.net/10097/00128977">http://hdl.handle.net/10097/00128977</a>

修士学位論文要約（令和2年3月）

# リングオシレータ回路の特性解析を用いた 三次元縦型 BC-MOSFET の AC 特性に関する研究

小笠原 健太

指導教員：遠藤 哲郎

## Study on AC Characteristics of 3D Vertical BC-MOSFET using the Analysis of Ring-Oscillator

Kenta OGASAWARA

Supervisor: Tetsuo ENDOH

Widely used Computers are constructed of Ultra-Large Scale Integration circuit (ULSI), so it is necessary to improve the performance of ULSI under lower power consumption and excellent stability. However, Conventional ULSIs have two main issues: “increasing power consumption” and “necessity of improving noise immunity”. To overcome these issues, a new device called “3D vertical Body Channel (BC) MOSFET” have been proposed. At present, advantages of 3D vertical BC-MOSFET, such as power saving and low noise, have been shown by prior research. However, AC characteristic of the vertical MOSFET when it is actually operated in a logic circuit are unclear. Therefore, in this research, with HSPICE simulation, the AC characteristics of the 3D vertical BC-MOSFET are evaluated though the analyzation of a ring oscillator circuit designed with 3D vertical BC-MOSFET. As a result, the ring oscillator composed of 3D vertical BC-MOSFET has confirmed excellent frequency characteristics and low power consumption.

### 1. はじめに

我々が普段から用いている電子機器には必ず集積回路 (ULSI) が搭載されており、これは平面型 MOSFET や FinFET、Tri-Gate 等の様々なトランジスタで構成されている。しかし、これらのトランジスタで構成された ULSI には“消費電力削減”、“ノイズ耐性向上”という二つの課題がある。これに対し、現在“三次元縦型 BC-MOSFET”<sup>1)</sup>と呼ばれる新構造のデバイスが考案されており、現在ではデバイス単体の DC 特性に関して従来デバイスよりも優れた性能を有していることが先行研究により明らかにされている。一方で、本デバイスを実際に回路に組み込んで動作させた際の特性である AC 特性に関しては未解明である。そこで本研究では、最も基本的なロジック回路の一つであるリングオシレータ回路を用いて、三次元縦型 BC-MOSFET の AC 特性を調査した。

### 2. 三次元縦型 BC-MOSFET で構築されたリングオシレータ回路構築

本研究ではより現実の状況に近いシミュレーションを行うために、用いているシミュレーション回路はリングオシレータ回路の実測値を再現する形で構築している。そのため、研究を始めるにあたりまずリングオシレータ回路の実測を行うための測定系の構築し、測定条件に関して 25℃の室温における電源電圧  $V_{dd}=0.1\sim1.4[V]$  の範囲でのリングオシレータ回路の

特性取得を行うことに決定した。そして実測によりリングオシレータ回路の周波数特性を取得した後、本研究で使用するシミュレーション回路構築を行うために本研究で用いている三次元縦型 BC-MOSFET と比較対象である平面型 MOSFET のシミュレーションモデルの基本特性を取得してモデル使用に関する妥当性を示した。最後に、実測で得られたリングオシレータ回路の周波数特性を再現する形でリングオシレータ回路内の負荷容量・抵抗の値を決定し図 1 のような形でシミュレーション回路を構築した。なお、実測に従ってリングオシレータ回路は 101 段とし、CMOS インバータ回路の負荷容量・抵抗の値は実測値に基づき決定している。また、リングオシレータ回路が出

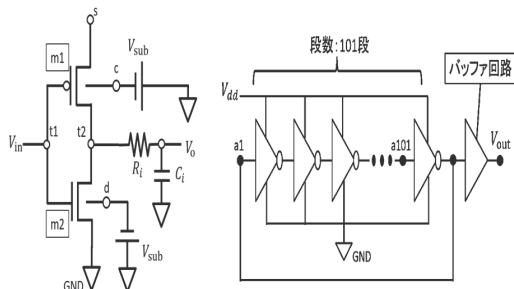


図 1 (左)CMOS インバータ回路、(右)リングオシレータ回路のシミュレーション回路

力側の容量・抵抗の影響を受けないようにバッファ回路を組み込み、バッファ回路手前の点 a101 における波形を出力として調査を行う。

### 3. 三次元縦型 BC-MOSFET を用いたリングオシレータ回路の特性

本研究で用いているリングオシレータ回路は主に回路全体のクロック制御を担う回路として使用されているため、回路が動いている限り基本的には常に動作し続ける。そのため、消費電力の比較においては待機時における静的電力よりも、動作時における動的電力に着目して議論するべきだと考えた。そこで本研究では、縦型、平面型 MOSFET 間で電源電圧  $V_{dd}=1.0[V]$  の時のリーク電流、つまり静的電力を統一し、動的電力の差に着目して議論を行っている。そのため本章では、最初にリーク電流の統一を行った場合における両デバイスの基本特性を示したうえで、第2章で述べたリングオシレータのシミュレーション回路をそれぞれ構築し、その周波数特性の取得を行った。その結果、三次元縦型 BC-MOSFET で構成したリングオシレータ回路の方が平面型と比較して高い周波数特性を有していることが確認できた。

### 4. 三次元縦型 BC-MOSFET を用いたリングオシレータ回路の消費電力

本章では、第3章で用いたリングオシレータ回路における消費電力の調査を行った。調査を行うためにまず、本研究におけるリングオシレータ回路の消費電力の定義を行った。その後、定義に従ってリングオシレータ回路における消費電力の取得を行ったところ三次元縦型 BC-MOSFET を用いることで平面型と比べてある周波数を得るために消費される電力を削減できることが確認できた。

また、この三次元縦型 BC-MOSFET を用いることによる消費電力削減効果の要因について調査を行った。その結果、三次元縦型 BC-MOSFET の持つ“優れた  $S$  値”と“高駆動力”によってスイッチング速度が向上し、さらに三次元縦型 BC-MOSFET は平面型に対してゲート・ドレイン間容量が小さいため貫通電流自体が削減されている。そのため、スイッチング時における貫通電流によって消費されるエネルギーを削減することができ、これが三次元縦型 BC-MOSFET による消費電力削減効果の要因の一つになっていると思われる。

### 5. 三次元縦型 BC-MOSFET を用いたリングオシレータ回路のノイズ耐性向上効果

従来の ULSI の持つ“ノイズ耐性向上”という課題に対する三次元縦型 BC-MOSFET の優位性を示すため、基板ノイズの影響による周波数変動の様子を調査した。方法としては、リングオシレータ回路を構成している MOSFET の基板領域に図1のような形で電源を組み込み、電圧を印加するこ

とで隣接回路から基板領域を介して伝搬するノイズを疑似的に再現した。この方法により基板ノイズに対する耐性の向上効果について調査したところ、平面型 MOSFET で構成したリングオシレータ回路は基板電圧によって周波数特性が変動したが、三次元縦型 BC-MOSFET では周波数の変動がほとんど見られず、基板ノイズによる影響を受けていないことが確認できた。これは、デバイスのしきい値が基板電圧の揺らぎによる影響を受けないという三次元縦型 BC-MOSFET の有するバックバイアスフリー特性によるものであり、得られた結果から本デバイスをを用いることによる基板ノイズへの大幅な耐性向上効果を確認することができた。

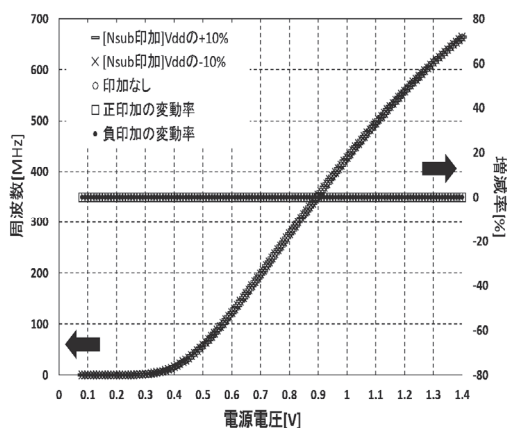


図2 n型 MOSFET の基板領域へノイズ伝搬時のリングオシレータの周波数特性変化

### 6. まとめ

最も基本的なロジック回路の一つであるリングオシレータ回路を用いた三次元縦型 BC-MOSFET の AC 特性に関する研究を行い、本デバイスは比較対象である平面型 MOSFET に対して優れた周波数特性を得ながら、同時に消費電力を削減できるということを本研究を通して確認することができた。また、本デバイスをを用いることで基板ノイズへの大幅な耐性向上効果を得られるということも本研究を通して確認することができた。

### 文献

- 1) Imamoto, Takuya, et al. "Low-frequency noise reduction in vertical MOSFETs having tunable threshold voltage fabricated with 60 nm CMOS technology on 300 mm wafer process." Japanese Journal of Applied Physics 54.4S (2015).